



(12)发明专利

(10)授权公告号 CN 104200994 B

(45)授权公告日 2017.08.08

(21)申请号 201410425900.0

(22)申请日 2014.08.26

(65)同一申请的已公布的文献号
申请公布号 CN 104200994 A

(43)申请公布日 2014.12.10

(73)专利权人 中国科学院物理研究所
地址 100080 北京市海淀区中关村南三街8号

(72)发明人 袁洁 金魁

(74)专利代理机构 北京成创同维知识产权代理有限公司 11449
代理人 刘锋 张靖琳

(51)Int.Cl.
H01G 4/30(2006.01)
H01G 4/232(2006.01)

(56)对比文件

CN 102543430 A,2012.07.04,
CN 102800646 A,2012.11.28,
CN 103456497 A,2013.12.18,
CN 103339700 A,2013.10.02,

审查员 王佩艺

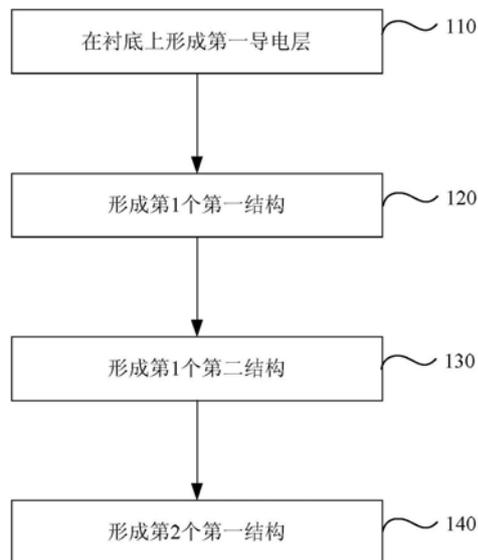
权利要求书2页 说明书7页 附图5页

(54)发明名称

层状交错电容的制备方法和层状交错电容

(57)摘要

公开了一种层状交错电容的制备方法和层状交错电容。所述制备方法通过交替形成导电层和介质层,并且使得介质层覆盖相邻的导电层的除一侧端部以外的部分,导电层被露出的端部与其它导电层连接,由此形成为交错的层状结构,且导电层之间在导电层形成后即相互连接,无需专门的端部连接工艺,由此,简化了层状交错电容的制备工艺,提高了制造的精确度。



1. 一种层状交错电容的制备方法,包括:

在衬底上形成第一导电层;

交替形成N个第一结构和N个第二结构,N为预定自然数;

其中,形成第一结构包括:

形成介质层,所述第一结构的介质层覆盖所述第一导电层或相邻的第二结构的导电层除第一端部以外的部分,所述第一结构的介质层的第二端部与下方相邻的第二结构的介质层的第二端部连接;

形成导电层,所述第一结构的导电层覆盖所述第一结构的介质层除第一端部以外的部分,并在第二端部与相邻的第一结构导电层的第二端部连接;

形成第二结构包括:

形成介质层,所述第二结构的介质层覆盖相邻的第一结构的导电层除第二端部以外的部分,所述第二结构的介质层的第一端部与下方相邻的第一结构的介质层的第一端部连接;

形成导电层,所述第二结构的导电层覆盖所述第二结构的介质层除第二端部以外的部分,并与相邻的第二结构的导电层的第一端部连接;

其中,所述介质层和导电层的第一端部位于第一侧;所述介质层和导电层的第二端部位于第二侧;

其中,所述第一导电层和第二结构的导电层分别基于第一掩膜图案利用分子束外延法一次形成;

所述第一结构的介质层和所述第二结构的介质层分别基于第二掩膜图案利用分子束外延法一次形成;

所述第一结构的导电层基于第三掩膜图案利用分子束外延法一次形成;

所述第一掩膜图案、第二掩膜图案和第三掩膜图案设置于可移动掩膜板上,所述可移动掩膜板与所述衬底相对设置。

2. 根据权利要求1所述的层状交错电容的制备方法,其特征在于,在形成第N个第二结构后,形成第N+1个第一结构。

3. 根据权利要求1所述的层状交错电容的制备方法,其特征在于,所述第一结构的介质层通过分子束外延法先形成除第二端部外的部分,再形成第二端部形成;

所述第一结构的导电层通过分子束外延法先形成除第二端部以外的部分,再形成第二端部形成;

所述第二结构的介质层通过分子束外延法先形成除第一端部以外的部分,再形成第一端部形成;

所述第二结构的导电层通过分子束外延法先形成除第一端部以外的部分,再形成第一端部形成。

4. 根据权利要求1或3所述的层状交错电容的制备方法,其特征在于,所述分子束外延法为激光分子束外延法。

5. 根据权利要求1或3所述的层状交错电容的制备方法,其特征在于,所述第一结构的介质层和所述第二结构的介质层采用各向异性介电材料,所述第一结构的介质层和第二结构的介质层在垂直于所述衬底的表面的方向上具有最大的介电常数。

6. 根据权利要求5所述的层状交错电容的制备方法,其特征在于,所述第一导电层、第一结构的导电层和第二结构的导电层采用导电的氧化物材料形成。

层状交错电容的制备方法和层状交错电容

技术领域

[0001] 本发明涉及电子器件制备技术,具体涉及一种层状交错电容的制备方法和层状交错电容。

背景技术

[0002] 层状交错电容具有多层相互交错呈现为梳状的层状电极,其相对于传统的电容结构,在相同尺寸内具有更大的电容值,可以应用于智能卡以及模拟电路、混合信号电路以及射频电路中。

[0003] 现有的层状交错电容制造工艺复杂,而且在连接不同的层状电极的端部时会遇到较多困难。

发明内容

[0004] 有鉴于此,本发明提供一种层状交错电容的制备方法和层状交错电容,简化层状交错电容的制备工艺,提高制造的精确度。

[0005] 第一方面,提供一种层状交错电容的制备方法,包括:

[0006] 在衬底上形成第一导电层;

[0007] 交替形成N个第一结构和N个第二结构,N为预定自然数;

[0008] 其中,形成第一结构包括:

[0009] 形成介质层,所述第一结构的介质层覆盖所述第一导电层或相邻的第二结构的导电层除第一端部以外的部分,所述第一结构的介质层的第二端部与下方相邻的第二结构的介质层的第二端部连接;

[0010] 形成导电层,所述第一结构的导电层覆盖所述第一结构的介质层除第一端部以外的部分,并与相邻的第一结构导电层的第二端部连接;

[0011] 形成第二结构包括:

[0012] 形成介质层,所述第二结构的介质层覆盖相邻的第一结构的导电层除第二端部以外的部分,所述第二结构的介质层的第一端部与下方相邻的第一结构的介质层的第一端部连接;

[0013] 形成导电层,所述第二结构的导电层覆盖所述第二结构的介质层除第二端部以外的部分,并与相邻的第二结构的导电层的第一端部连接;

[0014] 其中,所述介质层和导电层的第一端部位于第一侧;所述介质层和导电层的第二端部位于第二侧。

[0015] 优选地,在形成第N个第二结构后,形成第N+1个第一结构。

[0016] 优选地,所述第一导电层和第二结构的导电层分别基于第一掩膜图案利用分子束外延法一次形成;

[0017] 所述第一结构的介质层和所述第二结构的介质层分别基于第二掩膜图案利用分子束外延法一次形成;

- [0018] 所述第一结构的导电层基于第三掩膜图案利用分子束外延法一次形成。
- [0019] 优选地,所述第一结构的介质层通过分子束外延法先形成除第二端部外的部分,再形成第二端部形成;
- [0020] 所述第一结构的导电层通过分子束外延法先形成除第二端部以外的部分,再形成第二端部形成;
- [0021] 所述第二结构的介质层通过分子束外延法先形成除第一端部以外的部分,再形成第一端部形成;
- [0022] 所述第二结构的导电层通过分子束外延法先形成除第一端部以外的部分,再形成第一端部形成。
- [0023] 优选地,所述分子束外延法为激光分子束外延法。
- [0024] 优选地,所述第一掩膜图案、第二掩膜图案和第三掩膜图案设置于可移动掩膜板上,所述可移动掩膜板与所述衬底相对设置。
- [0025] 优选地,所述第一结构的介质层和所述第二结构的介质层采用各向异性介电材料,所述第一结构的介质层和第二结构的介质层在垂直于所述衬底的表面的方向上具有最大的介电常数。
- [0026] 优选地,所述第一导电层、第一结构的导电层和第二结构的导电层采用导电的氧化物材料形成。
- [0027] 优选地,所述第一导电层、第一结构的导电层、第一结构的介质层、第二结构的导电层和第二结构的介质层通过3D打印形成。
- [0028] 第二方面,提供一种层状交错电容,根据如上所述的制备方法制备获得。
- [0029] 通过交替形成导电层和介质层,并且使得介质层覆盖相邻的导电层的除一侧端部以外的部分,导电层被露出的端部与其它的导电层连接,由此形成为交错的层状结构,且导电层之间在导电层形成后即相互连接,无需专门的端部连接工艺,由此,简化了层状交错电容的制备工艺,提高了制造的精确度。

附图说明

- [0030] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其它目的、特征和优点将更为清楚,在附图中:
- [0031] 图1是本发明实施例的层状交错电容的制备方法的流程图;
- [0032] 图2a-2g是本发明实施例一个优选实施方式的制备方法过程中的层状交错电容的截面示意图;
- [0033] 图3a-3g是本发明实施例另一个优选实施方式的制备方法过程中的层状交错电容的截面示意图;
- [0034] 图4是本发明实施例的层状交错电容的示意图。

具体实施方式

- [0035] 以下将参照附图更详细地描述本发明。在各个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,可能未示出某些公知的部分。为了简明起见,可以在一幅图中描述经过数个步骤后获得的结构。

[0036] 应当理解,在描述装置的结构时,当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时,可以指直接位于另一层、另一个区域上面,或者在其与另一层、另一个区域之间还包含其它的层或区域。并且,如果进行翻转,该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0037] 如果为了描述直接位于另一层、另一个区域上面的情形,本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。同时,一层与另一层“相邻”指代该一层与该另一层相对于与该另一层具有相同属性的层最为接近,这包括一层直接位于另一层上面的情形,还包括该一层和另一层之间间隔有其他层,但不存在与该另一层具有相同性质层的情形。

[0038] 在本发明的描述中,需要理解的是,术语“第一”、“第二”等仅用于描述目的,而不能理解为指示或暗示相对重要性。此外,在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0039] 在本发明的描述中,术语“薄膜”是相对于“厚膜”而言,“厚膜”厚膜是指在衬底上用印刷烧结等技术所形成的厚度为几微米到数十微米的膜层,“薄膜”是指厚度小于1微米的膜层。

[0040] 本发明可以各种形式呈现,以下将描述其中一些示例。

[0041] 图1是本发明实施例的层状交错电容的制备方法的流程图。如图1所示,所述制备方法包括:

[0042] 步骤110、在衬底10上形成第一导电层20。

[0043] 其中,衬底10可以为Si, SrTiO₃, MgO, LaAlO₃等单晶材料构成的衬底。

[0044] 第一导电层20的材料可以是金属材料、导电的氧化物材料或其它导电材料。

[0045] 第一导电层20形成后的截面图如图2a或图3a所示。

[0046] 在本实施例中,第一导电层20通过分子束外延法形成,优选采用激光分子束外延法形成。

[0047] 分子束外延法(Molecular beam epitaxy, MBE)是在超高真空条件下,由装有各种靶材的炉子加热而产生的蒸气,经小孔准直后形成的分子束或原子束,直接喷射到适当温度的单晶基片上,同时控制分子束对衬底扫描,就可使分子或原子按晶体排列一层层地“长”在基片上形成薄膜。

[0048] 激光分子束外延技术(L-MBE)是在传统的分子束外延法和脉冲激光溅射技术(PLD)上发展而来。

[0049] L-MBE技术已经被证明是一种最有效的高精度薄膜沉积技术,其在获得人工控制的功能结构中相比其他薄膜沉积技术更有优势。例如,在制备高温超导薄膜过程中,获得理想的化学计量比是实现高温超导的首要条件,L-MBE技术能满足这一条件,目前几乎所有的高温超导薄膜都是用L-MBE方法制备的,L-MBE技术已经成为制备高温超导单晶薄膜的标准手段。

[0050] 在激光分子束外延设备中,脉冲激光源与用于沉积薄膜的真空系统是相互隔离的,也即,用于形成薄膜的靶材以及用于沉积薄膜的介质衬底设置于真空系统中,脉冲激光束通过一个光学窗口进入真空系统入射到靶材表面,使靶材局部气化产生激光焰,由此使得靶材上的粒子被剥蚀,并获得很高的动能,被剥蚀的粒子到达可加热的介质衬底表面形

成薄膜。在激光分子束外延设备中,衬底温度、激光能量、激光斑的形状与尺寸、激光焰与衬底的距离、靶的密度和表面质量等都可以调节,从而可获得最佳的工艺参数。

[0051] 具体地,可以基于第一掩膜图案形成第一导电层20。

[0052] 第一导电层20具有位于第一侧的第一端部21和位于第二侧的第二端部22。

[0053] 在步骤110后,本实施例的制备方法交替形成至少一个第一结构30和至少一个第二结构40来制备层状交错电容,第一结构30和第二结构40的数量可以相同,也可以形成N+1个第一结构30和N个第二结构40,N为自然数,两种不同的配置方式会使得电容电极的层数为奇数或偶数,进而对其电容值产生影响。

[0054] 在本实施例中,以形成两个第一结构30和一个第二结构40为例进行说明。

[0055] 步骤120、形成第1个第一结构30。

[0056] 其中,步骤120包括:

[0057] 步骤121、形成第一结构的介质层31。

[0058] 第一结构的介质层31具有位于第一侧的第一端部31a和位于第二侧的第二端部31b。

[0059] 第一结构的介质层31覆盖第一导电层20除第一端部21以外的部分,也即,第一导电层20的第一端部21被暴露,而其它部分(包括其第二端部22端部的侧面)被第一结构的介质层31覆盖。

[0060] 在本实施例中,第一结构的介质层31通过分子束外延法形成,优选采用激光分子束外延法形成。

[0061] 第1个第一结构的介质层31形成后的截面图如图2b或图3b所示。

[0062] 在一个优选实施方式中,如图2b所示,第一结构的介质层31通过两次掩膜外延沉积形成,在第一次掩膜外延沉积中,形成第一结构的介质层31除第二端部31b以外的部分,在第二次掩膜外延沉积中,在第二端部31b对应的位置沉积较厚的介质材料,形成第二端部31b。其结构形成如图2b所示,整个介质层形成为近似横置的L形,也即,第一端部31a被形成为沿介质层延伸方向水平延伸的部分,第二端部31b被形成为向下延伸的部分。

[0063] 在另一个优选实施方式中,如图3b所示,第一结构的介质层31通过一次掩膜外延沉积形成,其覆盖第一导电层20的第二端部的部分被形成为斜坡状。其中,第二端部31b位于介质层31在第二侧的末端。

[0064] 步骤122、形成第一结构的导电层32。

[0065] 第一结构的导电层32具有位于第一侧的第一端部32a和位于第二侧的第二端部32b。

[0066] 第一结构的导电层32覆盖第一结构的介质层31除第一端部31a以外的部分。

[0067] 第一结构的导电层32的第二端部32b与相邻的第一结构导电层32的第二端部32b连接,从而形成电容电极。

[0068] 第1个第一结构的导电层32形成后的截面图如图2c或图3c所示。

[0069] 在一个优选实施方式中,如图2c所示,第一结构的导电层32通过两次掩膜外延沉积形成,在第一次掩膜外延沉积中,先形成第一结构的导电层32除第二端部32b以外的部分,在第二次掩膜外延沉积中,再沉积较厚的导电材料,形成第二端部32b。整个介质层形成为近似横置的L形。

[0070] 在另一个优选实施方式中,如图3c所示,第一结构的导电层32通过一次掩膜外延沉积形成,其覆盖第一介质层的第二端部31b的部分被形成为斜坡状,第二端32b位于导电32在第二侧的末端。

[0071] 步骤130、形成第1个第二结构40。

[0072] 其中,步骤130可以包括:

[0073] 步骤131、形成第二结构的介质层41。

[0074] 第二结构的介质层41具有位于第一侧的第一端部41a和位于第二侧的第二端部41b。

[0075] 第二结构的介质层41覆盖相邻的第一结构的导电层32除第二端部32b以外的部分,并与下方相邻的第一结构的介质层31的第一端部31a连接。

[0076] 第1个第二结构的介质层41形成后的截面图如图2d或图3d所示。

[0077] 在一个优选实施方式中,如图2d所示,第二结构的介质层41通过两次掩膜外延沉积形成,在第一次掩膜外延沉积中,形成第二结构的介质层41除第二端部41b以外的部分,在第二次掩膜外延沉积中,在第二端部41b对应的位置沉积较厚的介质材料,形成第二端部41b。整个介质层形成为近似横置的L形。根据图2d可以看到,第二结构的介质层41沿其覆盖的相邻第一结构的导电层32的第一端部32a的侧边向下延伸与第一结构的介质层31的第一端部31a连接,从而可以将第一结构的导电层32的第一端部32a与其后将形成的第二结构的导电层42隔离。

[0078] 在另一个优选实施方式中,,如图3d所示,第二结构的介质层41通过一次掩膜外延沉积形成,其可以使用与形成第一结构的介质层31相同的掩膜,以使得第二结构的介质层41的第一端部41a和第二端部41b均被形成为斜坡状。其中,第一端部41a向下延伸与下方相邻的第一结构的介质层31连接,第二端部41b覆盖第一结构的导电层32的斜坡部分,从而使第一结构的导电层32除第二端部32b外,均被介质层包裹。

[0079] 步骤132、形成第二结构导电层42。

[0080] 第二结构的导电层42具有位于第一侧的第一端部42a和位于第二侧的第二端部42b。

[0081] 第二结构的导电层42覆盖第二结构的介质层41除第二端部41b以外的部分,并与相邻的第一导电层20的第一端部21或相邻的第二结构的导电层42的第一端部42a连接,从而形成多层的电容电极。

[0082] 第1个第二结构的导电层42形成后的截面图如图2e或图3e所示。

[0083] 在一个优选实施方式中,如图2e所示,第二结构的导电层42通过两次掩膜外延沉积形成,在第一次掩膜外延沉积中,先形成第二结构的导电层42除第一端部42a以外的部分,在第二次掩膜外延沉积中,再沉积较厚的导电材料,形成第一端部42a。其结构形成如图2e所示,整个介质层形成为近似横置的L形。

[0084] 在另一个优选实施方式中,如图3e所示,第二结构的导电层42通过一次掩膜外延沉积形成。第二结构的导电层42覆盖第二结构的介质层的第一端部31b的部分被形成为斜坡状,第一端42a位于导电层42在第一侧的末端,与下方第一导电层20的第一端21连接。

[0085] 步骤140、形成第2个第一结构30。

[0086] 其中,步骤140可以包括:

[0087] 步骤141、形成第一结构的介质层31。

[0088] 第一结构的介质层31覆盖相邻的第二结构40的导电层42除第一端部42a以外的部分,也即,第二结构40的导电层42的第一端部42b被暴露,而其它部分(包括其第二端部22端部的侧面)被第一结构的介质层31覆盖。

[0089] 同时,第2个第一结构的介质层31的第二端部31b与下方相邻的第二结构的介质层41的第二端部41b连接,从而可以将第二结构的导电层42的第二端部42b与其后将形成的第2个第一结构的导电层32隔离。

[0090] 第2个第一结构的介质层31形成后的截面图如图2f或图3f所示。

[0091] 在一个优选实施方式中,如图2f所示,第一结构的介质层31通过两次掩膜外延沉积形成,在第一次掩膜外延沉积中,形成第一结构的介质层31除第二端部31b以外的部分,在第二次掩膜外延沉积中,在第二端部31b对应的位置沉积较厚的介质材料,形成第二端部31b。整个介质层形成为近似横置的L形。

[0092] 在另一个优选实施方式中,如图3f所示,第一结构的介质层31通过一次掩膜外延沉积形成,其覆盖相邻的第二结构的导电层42的第二端部的部分被形成为斜坡状,同时,覆盖相邻第一结构的导电层32的斜坡的部分,也相应形成为斜坡状。

[0093] 步骤142、形成第一结构的导电层32。

[0094] 第一结构的导电层32覆盖第一结构的介质层31除第一端部31a以外的部分。

[0095] 第一结构的导电层32的第二端部32b与相邻的第一结构的导电层32的第二端部32b连接,从而形成电容电极。

[0096] 第2个第一结构的介质层31形成后的截面图如图2g或图3g所示。

[0097] 在一个优选实施方式中,如图2g所示,第一结构的导电层32通过两次掩膜外延沉积形成,在第一次掩膜外延沉积中,先形成第一结构的导电层32除第二端部32b以外的部分,在第二次掩膜外延沉积中,再沉积较厚的导电材料,形成第二端部32b。整个介质层形成为近似横置的L形。

[0098] 在另一个优选实施方式中,如图3g所示,第一结构的导电层32通过一次掩膜外延沉积形成,其覆盖第一介质层的第二端部31b的部分被形成为斜坡状,第二端32b位于导电32在第二侧的末端,并与下方的第一结构的导电层的第二端32b连接。

[0099] 由此,一个在第一侧具有两层相互连接的层状电极,在第二侧也具有两层相互连接的层状电极,两个层状电极相互交错的层状交错电容制备完成,制备获得的层状交错电容的示意图如图4所示。

[0100] 在本实施例中,各介质层的材料可以选用介电氧化物、铁电氧化物或其它非氧化物介电材料。

[0101] 在本实施例中,由于各介质层以及导电层均可以使用分子束外延法形成,其可以省略光刻的过程,同时,以空间可分辨的方式构建器件,器件的空间分辨率取决于带动掩膜运动的步进电机的最小步长。

[0102] 同时,分子束外延法可以充分利用介电材料的介电特性。对于各向异性的介电材料,其沿着不同的晶格取向具有不同的介电常数。例如,对于BaTiO₃晶体在沿a、b轴方向室温介电常数为1970,而沿c轴取向的介电常数为109,两者相差一个量级。通过分子束外延法,特别是激光分子束外延法可以控制各向异性介电材料在氧化物电极材料上的晶格取

向,从而控制使得介质层的介电常数在垂直于衬底表面的方向上取得最大值。

[0103] 同时,在本实施例中,在一次掩膜沉积形成各层的实施方式中,第一导电层20和第二结构的导电层42基于第一掩膜图案利用分子束外延法形成。

[0104] 第一结构的介质层31和第二结构的介质层41基于第二掩膜图案利用分子束外延法形成。

[0105] 第一结构的导电层32基于第三掩膜图案利用分子束外延法形成。

[0106] 所述第一、第二、第三掩膜图案可以设置于不同的掩模板,也可以设置于一个可移动的掩模板上,通过掩模板的移动完成更换。掩模板设置在与衬底相对的位置。

[0107] 在使用热源式分子束外延法形成各介质层和导电层时,由于分子束流较小,整个电容器件的厚度应当小于200nm。

[0108] 当使用激光分子束外延法形成各介质层和导电层时,薄膜生长速率较高,但为保证每层薄膜的外延定向特性,每层(包括导电层和介质层)所生长厚度不超过200nm为宜,但总的层数不受限制。

[0109] 在本实施例中,层状交错电容仅包括四层相互交错的电容。但是,可以理解,可以继续交替形成第一结构和第二结构以构建具有更多层数的层状交错电容。

[0110] 应理解,除了使用分子束外延法形成各介质层和导电层,还可以利用3D打印技术来形成各介质层和导电层。

[0111] 通过交替形成导电层和介质层,并且使得介质层覆盖相邻的导电层的除一侧端部以外的部分,导电层被露出的端部与其它的导电层连接,由此形成为交错的层状结构,且导电层之间在导电层形成后即相互连接,无需专门的端部连接工艺,由此,简化了层状交错电容的制备工艺,提高了制造的精确度。

[0112] 应当理解本部分仅仅选取部分实施例对于本发明进行示例性说明,而非用于限制本发明。凡在本发明精神和原则之内所做的任何修改、等同替换和改进等,均包含于本发明的保护范围之内。

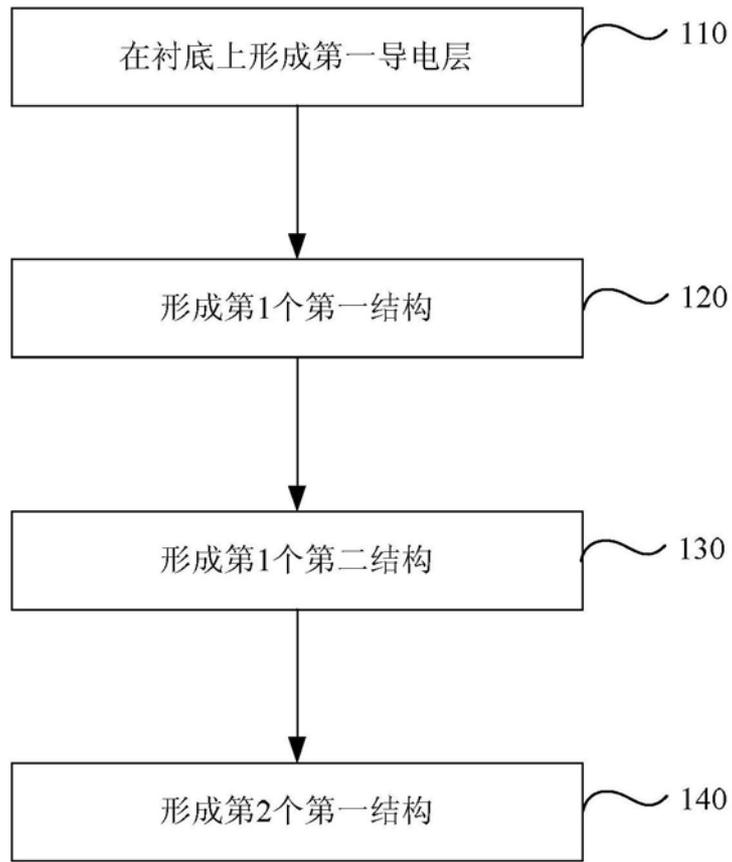


图1

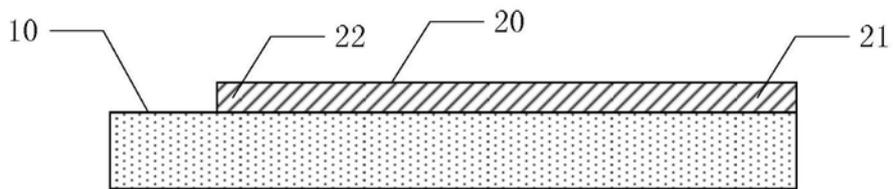


图2a

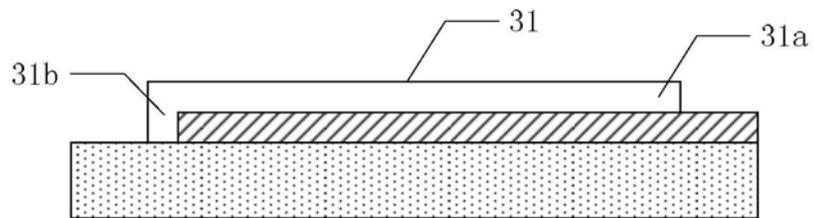


图2b

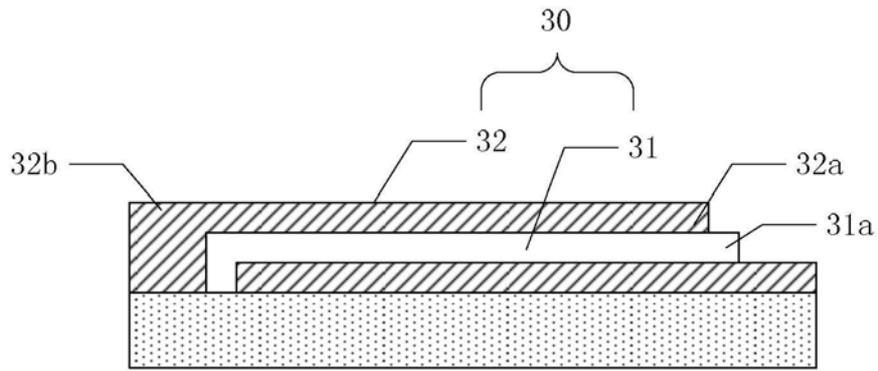


图2c

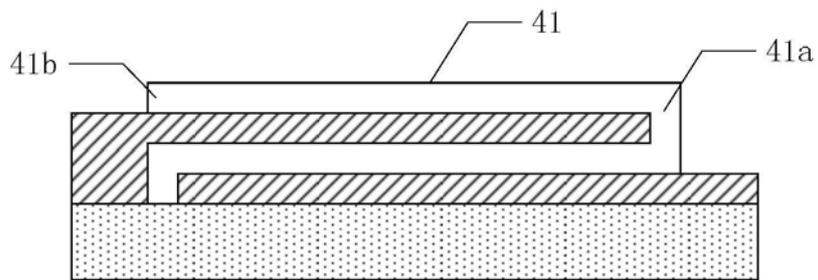


图2d

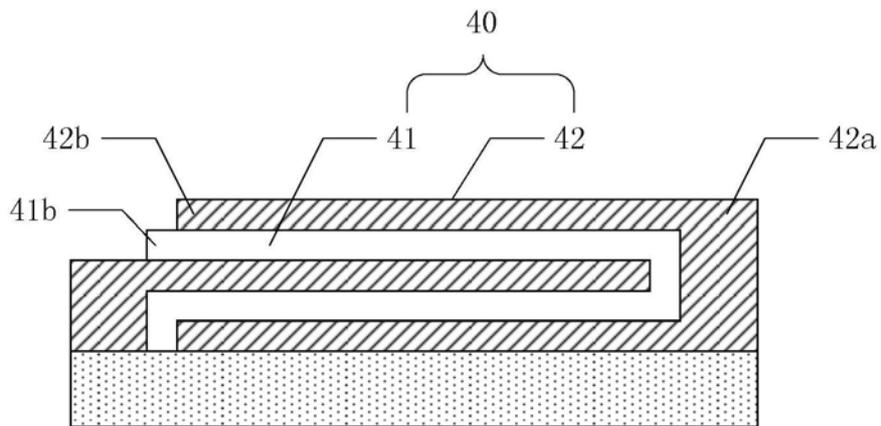


图2e

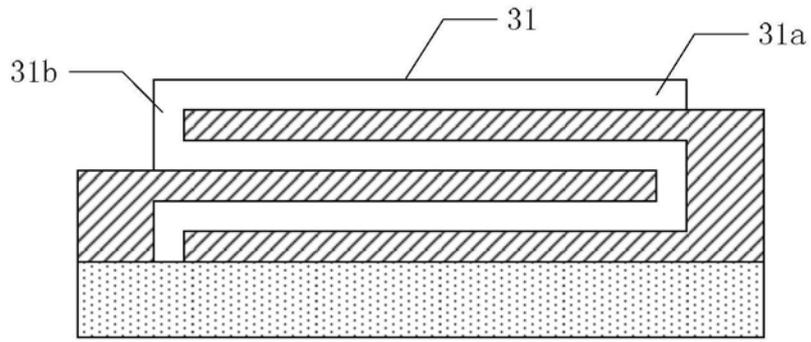


图2f

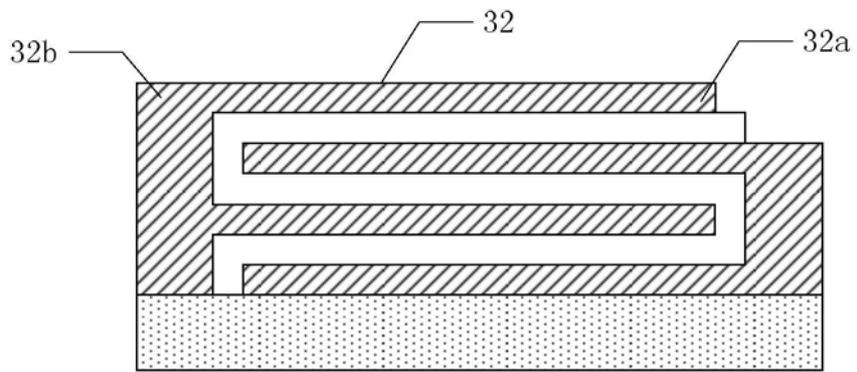


图2g

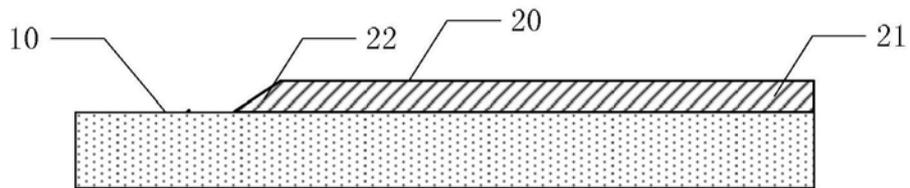


图3a

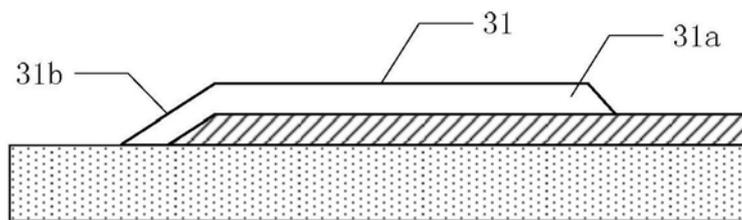


图3b

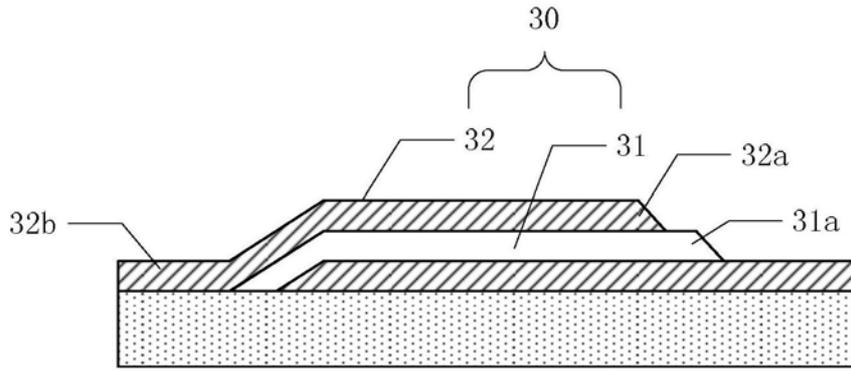


图3c

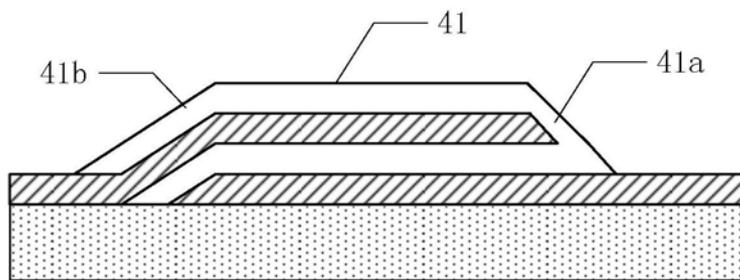


图3d

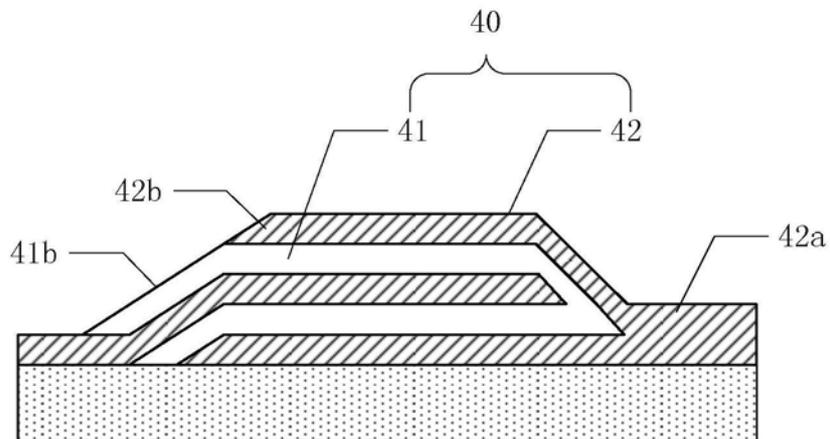


图3e

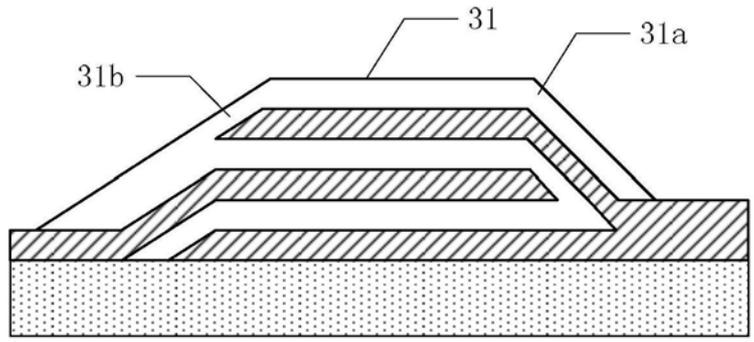


图3f

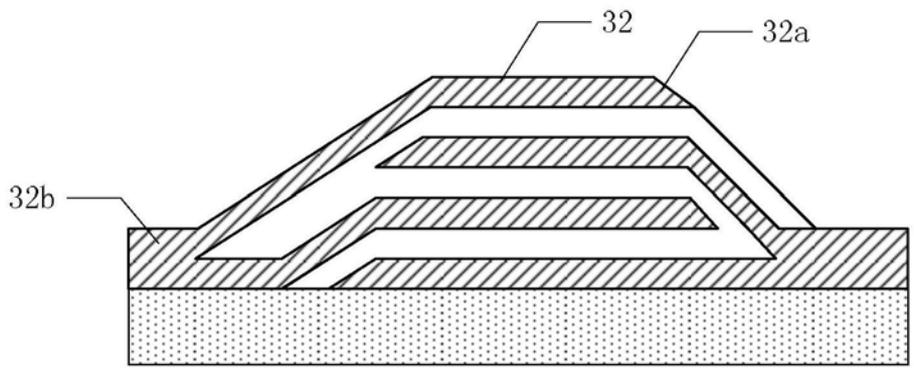


图3g

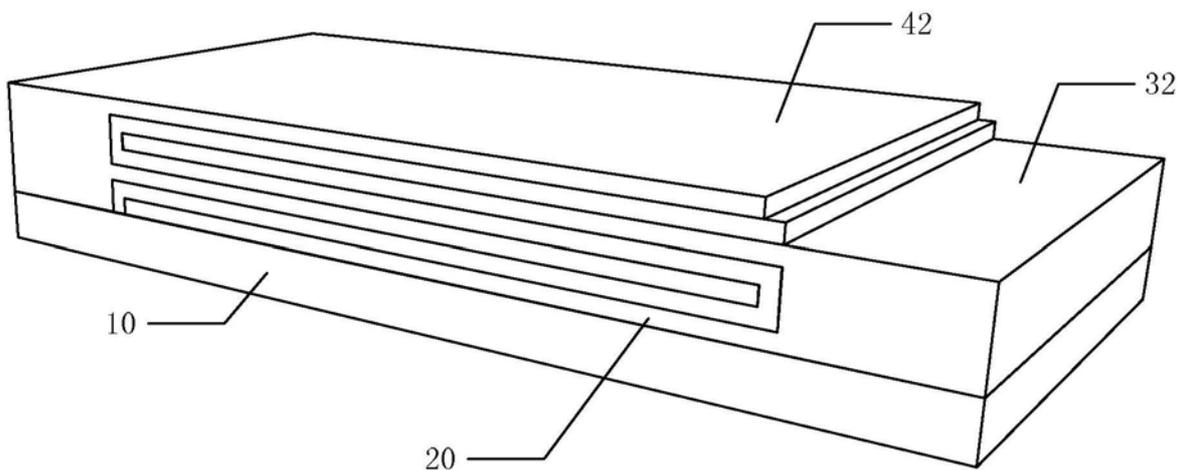


图4